

第 92130568 號
初審引証附件

中華民國專利公報 [19] [12]

[11]公告編號：556072

[44]中華民國 92年(2003) 10月01日

發明

全34頁

[51] Int.Cl.⁷ : G06F1/08

[54]名 稱：時脈控制電路及時脈控制方法

[21]申請案號：090104823 [22]申請日期：中華民國 90年(2001) 03月02日

[30]優 先 權：[31]2000-083579 [32]2000/03/24 [33]日本

[72]發明人：

佐伯貴範 日本

[71]申請人：

NEC電子股份有限公司 日本

[74]代理人：洪澄文先生

1

2

[57]申請專利範圍：

1. 一種時脈控制電路，其特徵在於：
在包括複數輸出將2個信號間之相位差內分後的信號之電路之增倍用插補器上，從輸入時脈來產生相位互相不同的複數增倍時脈；
至少包括1個相位調整用插補器，其輸入了上述增倍用插補器所輸出之相位互相不同的複數增倍時脈中的2個時脈，輸出將上述2個信號間之相位差內分後的信號。
2. 一種時脈控制電路，其特徵在於包括：
增倍用插補器，包括複數輸出將2個信號間之相位差內分後的信號之電路，而產生由輸入時脈增倍而成之

- 多相時脈以輸出；以及開關，將從上述增倍用插補器所輸出之多相時脈當作輸入，而選擇輸出其中之至少1對之時脈；
5. 同時至少包括1個相位調整用插補器，將從上述開關所輸出之時脈對當作輸入，而輸出將上述時脈對間之相位差內分後之信號；
又包括控制電路，控制上述相位調整用插補器之內分比之設定、以及在上述開關之時脈輸出之切換。
10. 3. 一種時脈控制電路，其特徵在於包括：
增倍用插補器，包括複數輸出將2個信號間之相位差內分後的信號之電

- 路，而產生由輸入時脈增倍而成之多相時脈以輸出；
 1個或複數開關，將從上述增倍用插補器所輸出之多相時脈當作輸入，而輸出從其中所選擇的組合之時脈對；
 複數相位調整用插補器，將從上述開關所選擇輸出之複數時脈對各自當作輸入，而各自輸出將上述時脈對間之相位差內分後之信號；以及控制電路，控制上述相位調整用插補器之內分比之設定、以及在上述開關之時脈輸出之切換。
 4.如申請專利範圍第1項所述的時脈控制電路，其中上述增倍用插補器包括：
 除頻器，將輸入時脈除頻，而產生輸出多相時脈；
 週期測知電路，測知上述輸入時脈之週期；以及
 多相時脈增倍電路，將上述除頻器之多相時脈輸出當作輸入，而產生將上述時脈增倍後之多相時脈；
 其中上述多相時脈增倍電路包括：複數時序差分割電路，輸出將2個輸入之時序差分割後之信號；以及複數多重化電路，將此2個上述時序差分割電路之輸出各自多重化而輸出；
 且上述複數時序差分割電路包括：時序差分割電路，將同一相位時脈當作輸入；以及時序差分割電路，將相鄰相位之2個時脈當作輸入。
 5.如申請專利範圍第2項所述的時脈控制電路，其中上述增倍用插補器包括：
 除頻器，將輸入時脈除頻，而產生輸出多相時脈；
 週期測知電路，測知上述輸入時脈之週期；以及

- 多相時脈增倍電路，將上述除頻器之多相時脈輸出當作輸入，而產生將上述時脈增倍後之多相時脈；
 其中上述多相時脈增倍電路包括：複數時序差分割電路，輸出將2個輸入之時序差分割後之信號；以及複數多重化電路，將此2個上述時序差分割電路之輸出各自多重化而輸出；
 且上述複數時序差分割電路包括：時序差分割電路，將同一相位時脈當作輸入；以及時序差分割電路，將相鄰相位之2個時脈當作輸入。
 6.如申請專利範圍第3項所述的時脈控制電路，其中上述增倍用插補器包括：
 除頻器，將輸入時脈除頻，而產生輸出多相時脈；
 週期測知電路，測知上述輸入時脈之週期；以及
 多相時脈增倍電路，將上述除頻器之多相時脈輸出當作輸入，而產生將上述時脈增倍後之多相時脈；
 其中上述多相時脈增倍電路包括：複數時序差分割電路，輸出將2個輸入之時序差分割後之信號；以及複數多重化電路，將此2個上述時序差分割電路之輸出各自多重化而輸出；
 且上述複數時序差分割電路包括：時序差分割電路，將同一相位時脈當作輸入；以及時序差分割電路，將相鄰相位之2個時脈當作輸入。
 7.如申請專利範圍第4項所述的時脈控制電路，其中上述多相時脈增倍電路，包括將n相位之時脈(第1至第n時脈)作為輸入，而輸出將此2個輸入之時序差分割後之信號之2n個時序差分割電路；
 第2I-1(其中， $1 \leq I \leq n$)個之時序差

分割電路，當作上述2個輸入，輸入了第 I 個之同一時脈；

其中第 2I(其中， $1 \leq I \leq n$)個之時序差分割電路，以第 I 個之時脈、和第 $(I+1 \bmod n)$ 個(其中，mod 表示餘數運算，而 $I+1 \bmod n$ 為 $I+1$ 除以 n 之餘數)之時脈當作輸入；

並包括：

$2n$ 個脈衝寬度修正電路，以第 J 個(其中， $1 \leq J \leq 2n$)之時序差分割電路之輸出、和第 $(J+2 \bmod n)$ 個($J+2 \bmod n$ 為 $J+2$ 除以 n 之餘數)之時序差分割電路之輸出當作輸入；以及 n 個多重化電路，以第 K 個(其中， $1 \leq K \leq n$)之脈衝寬度修正電路之輸出和第 $(K+n)$ 個脈衝寬度修正電路之輸出當作輸入。

8.如申請專利範圍第 4 項所述的時脈控制電路，其中上述時序差分割電路，包括：

邏輯反或(NOR)電路，將第 1、第 2 之輸入信號當作輸入；以及反相器，將上述邏輯反或電路之輸出之內部節點之電位當作輸入；串列連接在上述內部節點和接地間之開關元件和電容，以複數條互相地被並列連接，而從被連接至上述開關元件之控制端子上之週期控制信號上，來決定附加在上述內部節點之電容量。

9.如申請專利範圍第 4 項所述的時脈控制電路，其中上述時序差分割電路，包括：

邏輯電路，將第 1、第 2 之輸入信號當輸入，而輸出上述第 1、第 2 之輸入信號之既定的邏輯運算結果；第 1 開關元件，被連接第 1 電源和內部節點之間，而將上述邏輯電路之輸出信號當作輸入至控制端子；緩衝器電路，輸入端被連接至上述

內部節點上，在上述內部節點之電位和臨界值之大小關係反相的情況下，使其輸出邏輯值反相；

第 2 開關元件，被串列連接至上述內部節點和第 2 電源之間，藉由第 1 定電流源、以及上述第 1 輸入信號，來控制開關動作；以及

第 3 開關元件，被串列連接至上述內部節點和上述第 2 電源之間，藉由第 2 定電流源、以及上述第 2 輸入信號，來控制開關動作；

而又在上述內部節點和上述第 2 電源之間，被串列連接之第 4 開關元件和電容，以複數條互相地被並列連接，而在上述第 4 開關元件之控制端子上所供給之週期控制信號上，來決定附加在上述內部節點之電容量。

10.如申請專利範圍第 9 項所述的時脈控制電路，其中上述第 1 開關元件，由第 1 導電型之電晶體而成，而上述第 2 至第 4 開關元件，由第 2 導電型之電晶體而成。

11.如申請專利範圍第 4 項所述的時脈控制電路，其中上述時序差分割電路，包括：

邏輯電路，將第 1、第 2 之輸入信號當輸入，而輸出上述第 1、第 2 之輸入信號之既定的邏輯運算結果；

P 通道 MOS 電晶體，被連接至第 1 電源和內部節點之間，而輸入上述邏輯電路之輸出信號至其閘極；

緩衝器電路，輸入端被連接至上述內部節點，而在上述內部節點之電位和臨界值之大小關係反相的情況下，使其輸出邏輯值反相；

N 通道 MOS 電晶體，在上述內部節點和接地之間，將上述第 1 輸入信號之反相信號當作閘極輸入，而以定電流來驅動之；以及

N 通道 MOS 電晶體，在上述內部節點和接地之間，將上述第2輸入信號之反相信號當作閘極輸入，而以定電流來驅動之；

而又在上述內部節點和接地之間，被串列連接之開關元件和電容，以複數條互相地被並列連接，而在上述開關元件之控制端子上所供給之週期控制信號上，來決定附加在上述內部節點之電容量。

12.如申請專利範圍第1、2或3項所述的時脈控制電路，其中上述相位調整用插補器，包括：

邏輯電路，將第1、第2之輸入信號當輸入，而輸出上述第1、第2之輸入信號之既定的邏輯運算結果；

第1開關元件，被連接至第1電源和內部節點之間，而輸入上述邏輯電路之輸出信號至控制端子；以及緩衝器電路，輸入端被連接至上述內部節點，而在上述內部節點之電位和臨界值之大小關係反相的情況下，使其輸出邏輯值反相；

而在上述內部節點和第2電源之間，由以第1定電流源、和上述第1輸入信號來控制開關動作之第2開關元件，和以來自上述控制電路之控制信號來控制開關動作之第3開關元件而成的串列電路，複數個地被並列連接；

在上述內部節點和第2電源之間，由以上述第2定電流源、和上述第2輸入信號來控制開關動作之第4開關元件，和以來自上述控制電路之控制信號來控制開關動作之第5開關元件而成的串列電路，複數個地被並列連接；

而又在上述內部節點和上述第2電源之間，由第6開關元件和電容而成的串列電路，複數個地互相地被並列

連接，而在被連接至上述第6開關元件之控制端子之週期控制信號上，來控制開關動作，以決定附加在上述內部節點之電容量。

5. 13.如申請專利範圍第12項所述的時脈控制電路，其中上述第1開關元件，由第1導電型之電晶體而成；而上述第2至第6開關元件，由第2導電型之電晶體而成。
10. 14.如申請專利範圍第12項所述的時脈控制電路，由上述第2開關元件、上述第3開關元件、上述第4開關元件、以及上述第5開關元件中之任何之至少之既定個數(N個)而成；藉由供給至上述第3開關元件群之控制信號，來開啟 K(其中，K 為 0~N)個之上述第3開關元件；藉由供給至上述第5開關元件群之控制信號，來開啟 N-K 個之上述第5開關元件；而上述第1輸入信號和上述第2輸入信號之時序差 T，以上述時序差之 N 分之 1 為單位，輸出對應至以上述 K 當基準之內分後之相位的信號，並藉由可以改變 K 之值，來改變內分比。
- 15.如申請專利範圍第1、2或3項所述的時脈控制電路，其中上述相位調整用插補器，包括：
30. 邏輯或(OR)電路，將第1、第2之輸入信號當作輸入；P 通道 MOS 電晶體，被連接至電源和內部節點之間，而輸入上述邏輯或電路之輸出信號至其閘極；以及緩衝器電路，輸入端被連接至上述內部節點，而在上述內部節點之電位和臨界值之大小關係反相；在上述內部節點和接地之間，將上述第1輸入信號當作閘極輸入，而以
- 35.

定電流來驅動之 N 通道 MOS 電晶體，和以來自上述控制電路之控制信號來控制開關動作之開關元件而成的串列電路，被複數個地並列連接；

在上述內部節點和接地之間，將上述第2輸入信號當作閘極輸入，而以定電流來驅動之 N 通道 MOS 電晶體，和以來自上述控制電路之控制信號來控制開關動作之開關元件而成的串列電路，被複數個地並列連接；

又在上述內部節點和接地之間，由開關元件和電容而成的串列電路，被複數個地並列連接，而在被連接至上述開關元件之控制端子之週期控制信號上，來決定附加在上述內部節點之電容量。

16.如申請專利範圍第1、2或3項所述的時脈控制電路，其中上述相位調整用插補器，包括：

邏輯反和(NAND)電路，將第1、第2之輸入信號當作輸入；
P 通道 MOS 電晶體，被連接至電源和內部節點之間，而輸入上述邏輯反和電路之輸出信號至其閘極；以及

緩衝器電路，輸入端被連接至上述內部節點，而在上述內部節點之電位和臨界值之大小關係反相的情況下，使其輸出邏輯值反相；
在上述內部節點和接地之間，將以第1反相電路來把上述第1輸入信號反相後之信號當作閘極輸入，而以定電流來驅動之 N 通道 MOS 電晶體，和以來自上述控制電路之控制信號來控制開關動作之開關元件而成的串列電路，被複數個地並列連接；

在上述內部節點和接地之間，將以

第2反相電路來把上述第2輸入信號反相後之信號當作閘極輸入，而以定電流來驅動之 N 通道 MOS 電晶體，和以來自上述控制電路之控制信號來控制開關動作之開關元件而成的串列電路，被複數個地並列連接；

又在上述內部節點和接地之間，由開關元件和電容而成的串列電路，被複數個地並列連接，而在被連接至上述開關元件之控制端子之週期控制信號上，來決定附加在上述內部節點之電容量。

17.如申請專利範圍第8、9、10、或11項所述的時脈控制電路，其中上述週期控制信號，由申請專利範第4項之上述週期測知電路來供給。

18.如申請專利範圍第8、9、10、或11項所述的時脈控制電路，其中上述週期控制信號，由申請專利範第5項之上述週期測知電路來供給。

19.如申請專利範圍第8、9、10、或11項所述的時脈控制電路，其中上述週期控制信號，由申請專利範第6項之上述週期測知電路來供給。

20.如申請專利範圍第2或3項所述的時脈控制電路，其中上述控制電路，在上述相位調整用插補器之內分比之設定達到上限或下限，而有必要執行上述相位調整用插補器 30 之輸出相位之調整的情況下，來執行選擇輸出被供給至上述相位調整用插補器之上述開關之時脈輸出的切換。

30. 21.如申請專利範圍第2或3項所述的時脈控制電路，其中上述控制電路，以上述輸入時脈或既定之基準時脈、和上述相位調整用插補器之輸出的相位比較結果當基準，來控制上述相位調整用插補器之內分比的

設定、以及上述開關之時脈輸出的切換。

22.如申請專利範圍第2或3項所述的時脈控制電路，其中上述控制電路，包括以上述輸入時脈或既定之基準時脈、和上述相位調整用插補器之輸出的相位比較結果，來可以改變其值的計數器；而以上述計數器之輸出當基準，來控制上述相位調整用插補器之內分比的設定、以及上述開關之時脈輸出的切換。

23.如申請專利範圍第2或3項所述的時脈控制電路，其中上述控制電路，包括：計數器，以上述輸入時脈或既定之基準時脈、和上述相位調整用插補器之輸出的相位比較結果當基準，來設定其值；以及解碼器，將上述計數器之輸出解碼；

而以上述計數器之輸出當基準，來控制上述相位調整用插補器之內分比的設定、以及上述開關之時脈輸出的切換。

24.如申請專利範圍第2或3項所述的時脈控制電路，其中上述開關係將從上述增倍用插補器所輸出之n相之時脈當作輸入，而以來自上述控制電路之切換控制信號當基準，第I個時脈被供給至上述相位調整用插補器之第1輸入上、而供給相鄰之第I+1個時脈至第2輸入上的情況下，按照輸出之相位延遲或超前之狀況，來切換時脈輸出之時，切換控制成上述相位調整用插補器之上述第1輸入成為第I+2個而上述第2輸入照舊地成為第I+1個、或第1輸入照舊地成為第I個而上述第2輸入成為I-1個(其中，I+1、I-1、I+2，取1~n之值，

而以除以n之餘數來決定)之旋轉開關。

25.一種插補器，包括：

邏輯電路，將第1、第2之輸入信號當輸入，而輸出上述第1與第2之輸入信號之既定的邏輯運算結果；

第1開關元件，被連接至第1電源和內部節點之間，而輸入上述邏輯電路之輸出信號至控制端子；以及

緩衝器電路，輸入端被連接至上述內部節點，而在上述內部節點之電位和臨界值之大小關係反相的情況下，使其輸出邏輯值反相；

其特徵在於：

而在上述內部節點和第2電源之間，以第1定電流源、和上述第1輸入信號來控制開關動作之第2開關元件，和以在控制端子上所輸入之控制信號來控制開關動作之第3開關元件而成的串列電路，複數個地被並列連接；

在上述內部節點和上述第2電源之間，以第2定電流源、和上述第2輸入信號來控制開關動作之第4開關元件，和以在控制端子上所輸入之控制信號來控制開關動作之第5開關元件而成的串列電路，複數個地被並列連接；

而又在上述內部節點和上述第2電源之間，由第6開關元件和電容而成的串列電路，複數個互相地被並列連接，而在被供給至上述第6開關元件之控制端子之週期控制信號上，來開關動作上述第6開關元件，以決定附加在上述內部節點之電容量；

根據輸入至上述第3開關元件群、和上述第5開關元件群之控制端子之控制信號之值的組合，從上述緩衝器電路，來輸出對應至上述第1輸入信號和上述第2輸入信號之相位差內分

- 後之相位之輸出信號。
- 26.如申請專利範圍第25項所述的插補器，係由上述第2開關元件、上述第3開關元件、上述第4開關元件、以及上述第5開關元件中之任何之至少之既定個數(N個)而成；
藉由供給至上述第3開關元件群之控制信號，來開啟K(其中，K為0~N)個之上述第3開關元件；
藉由供給至上述第5開關元件群之控制信號，來開啟N-K個之上述第5開關元件；
而上述第1輸入信號和第2輸入信號之時序差T，以上述時序差之N分之1為單位，輸出對應至以上述K當基準之內分後之相位的信號，並藉由可以改變上述K之值，來改變內分比。
- 27.一種時脈控制方法，其特徵在於：
使用包括複數輸出將2個信號間之相位差內分後的信號之電路之增倍用插補器，而藉由產生將輸入時脈增倍而成的多相時脈，來減低增倍時脈附近的抖動；
而以開關選擇從上述增倍用插補器所輸出之多相時脈中的2個時脈，供給至相位調整用之插補器；
上述相位調整用插補器，輸出將上述2個時脈之相位差內分後的時脈；以既定之基準時脈和上述相位調整用之插補器之輸出時脈的相位比較結果當基準，來可變地控制上述相位調整用之插補器之內分比的設定。
- 28.一種時脈控制方法，其特徵在於：關於將2個信號當作輸入而輸出將這些信號之相位差內分後之信號的第一至第3插補器，在上述第1插補器上，共通輸入了和時脈信號同步而被傳送之資料信號，而將上述資料

- 信號延遲來輸出；
在上述第2插補器上，上述時脈信號被輸入，而輸出將時脈脈衝之前緣(leading edge)和後緣(Trailing edge)之時序差內分後之時脈信號；
在上述第3插補器上，上述時脈信號被輸入，而輸出上述時脈脈衝之後緣(Trailing edge)和下一個時脈脈衝之前緣之時序差內分後之時脈信號；
而鎖存上述第2、第3插補器上之輸出多重化後之時脈之信號，鎖存從上述第1插補器所輸出的資料，而並不依存著時脈信號之工作週期之變動，對於上述資料，鎖存時序能夠自動地調整在最適當的位置。
- 29.一種時脈控制電路，包括：
多相時脈產生電路，由輸入時脈來產生多相時脈而輸出，或產生將其增倍而成之多相時脈以輸出；
複數開關，將從上述多相時脈產生電路所輸出之多相時脈當作輸入，而選擇輸出時脈對；
複數插補器，將從上述各開關所輸出之上述時脈對各自當作輸入，而各自輸出上述時脈輸出對之相位內分後之信號；以及
控制電路，控制上述複數插補器之內分比之設定、以及在上述各開關之時脈輸出之切換；
其特徵在於：
而從1個上述插補器所輸出之時脈，被相位調整成為和上述輸入時脈之間的既定相位差，而從其他上述插補器所輸出之時脈，對於上述輸時脈入或對於另外其他插補器之輸出時脈，被相位調整成具有既定之相位。
- 30.一種時脈控制電路，包括：
多相時脈產生電路，由輸入時脈來產生多相時脈而輸出，或產生將其

- 增倍而成之多相時脈而輸出；
 第1、第2開關，將從上述多相時脈產生電路所輸出之多相時脈當作輸入，而選擇時脈對以輸出；
 第1插補器，將從上述第1開關所輸出之時脈對當作輸入，而輸出將上述時脈對間之相位差內分而相位調整後之時脈信號；
 第2插補器，將從上述第2開關所輸出之時脈對當作輸入，而輸出將上述時脈對間之相位差內分而相位調整後之時脈信號；
 相位比較電路，測出上述第1插補器之輸出、和上述輸入時脈之相位差；
 濾波器，將從上述相位比較電路所輸出之相位比較結果信號平滑化；
 第1計數器，以從上述濾波器所輸出之相位比較結果信號當基準，而執行往上數、以及往下數；以及
 第2計數器，偏移值被設定，而以從上述濾波器所輸出之相位比較結果信號當基準，而執行往上數、以及往下數；
 其特徵在於：
 而以上述第1計數器之輸出當基準，來執行上述第1插補器之內分比之設定、以及在上述第1開關之時脈輸出之切換；
 以上述第2計數器之輸出當基準，來執行上述第2插補器之內分比之設定、以及在上述第2開關之時脈輸出之切換。
 31. 一種時脈控制電路，包括：
 多相時脈產生電路，由輸入時脈來產生多相時脈而輸出，或產生將其增倍而成之多相時脈而輸出；
 第1、第2開關，將從上述多相時脈產生電路所輸出之多相時脈當作輸入，而選擇時脈對以輸出；

- 第1插補器，將從上述第1開關所輸出之時脈對當作輸入，而輸出將上述時脈對間之相位差內分而相位調整後之時脈信號；以及
 第2插補器，將從上述第2開關所輸出之時脈對當作輸入，而輸出將上述時脈對間之相位差內分而相位調整後之時脈信號；
 其特徵在於：
 在上述第2插補器之輸出上，接受時脈供給的時脈傳播經過路徑被連接著；
 在上述第1插補器之輸出上，和上述時脈傳播經過路徑等效的延遲時間之仿真電路被連接著；
 並包括：
 相位比較電路，測出上述仿真電路之輸出和上述輸入時脈之相位差；
 濾波器，將從上述相位比較電路所輸出之相位比較結果信號平滑化；
 第1計數器，以從上述濾波器所輸出之相位比較結果信號當基準，而往上數、以及往下數；
 第1解碼器，將上述第1計數器之計數輸出作解碼；
 加算電路，加算上述第1計數器之計數輸出和輸入偏移值；以及
 第2解碼器，將上述加算電路之輸出作解碼；
 以上述第1解碼器之輸出當基準，來執行上述第1插補器之內分比之設定、以及在上述第1開關之時脈輸出之切換；
 以上述第2解碼器之輸出當基準，來執行上述第2插補器之內分比之設定、以及在上述第2開關之時脈輸出之切換。
 32. 一種時脈控制電路，包括：
 多相時脈產生電路，由輸入時脈來產生多相時脈而輸出，或產生將其

增倍而成之多相時脈而輸出；
 第1至第3開關，將從上述多相時脈產生電路所輸出之多相時脈當作輸入，而選擇時脈對以輸出；以及
 第1至第3插補器，將從上述第1至第3開關所各自輸出之時脈對當作輸入，而輸出將上述時脈對間之相位差內分而相位調整後之時脈信號；
 其特徵在於：
 在上述第3插補器之輸出上，接受時脈供給的時脈傳播經過路徑被連接著；
 並包括：
 第1相位比較電路，測出上述第1插補器之輸出和上述輸入時脈之相位差；
 第1濾波器，將從上述相位比較電路所輸出之相位比較結果信號平滑化；
 第1計數器，以從上述第1濾波器所輸出之相位比較結果信號當基準，而往上數、以及往下數；
 第1解碼器，將上述第1計數器之計數輸出作解碼；
 加算電路，加算上述第1計數器之計數輸出和輸入偏移值；以及
 第2解碼器，將上述加算電路之輸出作解碼；
 而以上述第1解碼器之解碼輸出當基準，來執行上述第1插補器之內分比之設定以及在上述第1開關之時脈輸出之切換；
 以上述第2解碼器之解碼輸出當基準，來執行上述第2插補器之內分比之設定、以及在上述第2開關之時脈輸出之切換；
 並包括：
 第2相位比較電路，測出上述時脈傳播經過路徑之輸出和上述第2插補器之輸出之相位差；

第2濾波器，將從上述第2相位比較電路所輸出之相位比較結果信號平滑化；
 第2計數器，以從上述第2濾波器所輸出之相位比較信號當基準，而往上數、以及往下數；以及
 第3解碼器，將上述第2計數器之計數輸出作解碼；
 而以上述第3解碼器之解碼輸出當基準，來執行上述第3插補器之內分比之設定、以及在上述第3開關之時脈輸出之切換。
 33.一種時脈控制電路，包括：
 多相時脈產生電路，由輸入時脈來產生多相時脈而輸出，或產生將其增倍而成之多相時脈而輸出；
 第1至第4開關，將從上述多相時脈產生電路所輸出之多相時脈當作輸入，而選擇時脈對以輸出；以及
 第1至第4插補器，將從上述第1至第4開關所各自輸出之時脈對當作輸入，而輸出將上述時脈對間之相位差內分而相位調整後之時脈信號；
 其特徵在於：
 在上述第4插補器之輸出上，接受時脈供給的時脈傳播經過路徑被連接著；
 並包括：
 第1相位比較電路，測出上述第1插補器之輸出和上述輸入時脈之上升緣之相位差；
 第1濾波器，將從上述第1相位比較電路所輸出之相位比較結果信號平滑化；
 第1計數器，以從上述第1濾波器所輸出之相位比較結果信號當基準，而往上數、以及往下數；
 第2相位比較電路，測出上述第2插補器之輸出、和以反相電路將上述輸入時脈反相後之信號之下降緣之

- 相位差；
 第2濾波器，將從上述第2相位比較電路所輸出之相位比較結果信號平滑化；
 第2計數器，以從上述第2濾波器所輸出之相位比結果較信號當基準，而往上數、以及往下數；
 平均化電路，將上述第1計數器之計數輸出和上述第2計數器之計數輸出平均化；
 第1解碼器，將上述第1計數器之輸作出解碼；
 第2解碼器，將上述第2計數器之輸作出解碼；以及
 第3解碼器，將上述平均化電路之輸作出解碼；
 而以上述第1至第3解碼器之解碼輸出當基準，來各自地執行上述第1至第3插補器之內分比之設定、以及在上述第1至第3開關之時脈輸出之切換；
 並包括：
 第3相位比較電路，測出上述時脈傳播經過路徑之輸出和上述第3插補器之輸出之相位差；
 第3濾波器，將從上述第3相位比較電路所輸出之相位比較結果信號平滑化；
 第3計數器，以從上述第3濾波器所輸出之相位比較結果信號當基準，而往上數、以及往下數；以及
 第4解碼器，將上述第3計數器之計數輸出作解碼；
 而以上述第4解碼器之解碼輸出當基準，來執行上述第4插補器之內分比之設定、以及在上述第4開關之時脈輸出之切換。
 34.如申請專利範圍第30或31項所述的時脈控制電路，其中上述第1以及第2開關，各自選擇輸出從上述多相時

- 脈產生電路所輸出的多相時脈中之第1信號、和上述第1信號相鄰之第2信號而成的第一時脈對；以及和上述第1信號既定相位差之第3信號、與和上述第3信號相位相鄰之第4信號而成的第二時脈對；
 而上述第1、第2插補器各自包括：第1相位調整用插補器，輸出上述第1時脈對之時序差內分後之第1輸出信號；以及
 第2相位調整用插補器，輸出上述第2時脈對之時序差內分後之第2輸出信號；
 並包括：
 第1多重化電路，將從上述第1插補器之上述第1、第2相位調整用插補器所各自輸出的第1、第2輸出信號多重化而輸出；以及
 第2多重化電路，將從上述第2插補器之上述第1、第2相位調整用插補器所各自輸出的第1、第2輸出信號多重化而輸出。
 35.如申請專利範圍第32項所述的時脈控制電路，其中上述第1至第3開關，各自選擇輸出從上述多相時脈產生電路所輸出的多相時脈中之第1信號、和上述第1信號相鄰之第2信號而成的第一時脈對；以及
 和上述第1信號既定相位差之第3信號、與和上述第3信號相位相鄰之第4信號而成的第二時脈對；
 而上述第1、第2插補器各自包括：第1相位調整用插補器，輸出上述第1時脈對之時序差內分後之第1輸出信號；以及
 第2相位調整用插補器，輸出上述第2時脈對之時序差內分後之第2輸出信號；
 並包括：
 第1至第3多重化電路，對於上述各

- 個第 1 至第 3 插補器，將從上述第 1、第 2 相位調整用插補器所各自輸出的第 1、第 2 輸出信號多重化而輸出。
- 36.如申請專利範圍第 33 項所述的時脈控制電路，其中上述第 1 至第 4 開關，各自選擇輸出從上述多相時脈產生電路所輸出的多相時脈中之第 1 信號、和上述第 1 信號相位相鄰之第 2 信號而成的第一時脈對；以及和上述第 1 信號既定相位差之第 3 信號、與和上述第 3 信號相位相鄰之第 4 信號而成的第二時脈對；而上述第 1、第 2 插補器各自包括：第 1 相位調整用插補器，輸出上述第一時脈對之時序差內分後之第 1 輸出信號；以及第 2 相位調整用插補器，輸出上述第二時脈對之時序差內分後之第 2 輸出信號；並包括：
- 第 1 至第 4 多重化電路，對於上述各個第 1 至第 4 插補器，將從上述第 1、第 2 相位調整用插補器所各自輸出的第 1、第 2 輸出信號多重化而輸出。
- 37.如申請專利範圍第 30、31、32 或 33 項所述的時脈控制電路，其中上述多相時脈產生電路，由以複數地包括輸出從上述輸入時脈所產生的多相時脈中之 2 個信號之相位差內分後之信號的時序差分割電路而成的多相增倍電路所構成的增倍用插補器而成。
- 38.如申請專利範圍第 30、31、32 或 33 項所述的時脈控制電路，其中上述多相時脈產生電路，包括：
- 除頻器，將輸入時脈除頻，而產生多相時脈；週期測知電路，測知上述輸入時脈

- 之週期；以及多相時脈增倍電路，將上述除頻器之多相時脈輸出當作輸入，而產生上述時脈增倍後之多相時脈；而上述複數多相時脈增倍電路，包括：
- 複數時序差分割電路，輸出將 2 個輸入之時序差分割後之信號；以及複數多重化電路，將 2 個時序差分割電路之輸出多重化；
- 上述複數時序差分割電路，由以包括了將同一相位時脈當作輸入之時序差分割電路，和將 2 個相位相鄰之 2 個時脈當作輸入之時序差分割電路之多相增倍電路所構成之增倍用插補器而成。
- 39.如申請專利範圍第 38 項所述的時脈控制電路，其中上述多相時脈增倍生電路，包括輸入了 n 相位之時脈（第 1 至第 n 時脈），而輸出此 2 個輸入之時序差分割後之信號之 $2n$ 個時序差分割電路；
- 第 $2I-1$ (其中， $1 \leq I \leq n$) 個之時序差分割電路，輸入了第 I 個之同一時脈，當作上述 2 個輸入；
- 第 $2I$ (其中， $1 \leq I \leq n$) 個之時序差分割電路，以第 I 個之時脈、和第 $(I+1 \bmod n)$ 個 (其中， \bmod 表示餘數運算，而 $I+1 \bmod n$ 為 $I+1$ 除以 n 之餘數) 之時脈當作輸入；並包括：
- $2n$ 個脈衝寬度修正電路，將第 J 個 (其中， $1 \leq J \leq 2n$) 之時序差分割電路之輸出、和第 $(J+2 \bmod n)$ 個 ($J+2 \bmod n$ 為 $J+2$ 除以 n 之餘數) 之時序差分割電路之輸出當輸入；以及 n 個多重化電路，將第 K 個 ($1 \leq K \leq n$) 之脈衝寬度修正電路之輸出和第 $(K+n)$ 個脈衝寬度修正電路之輸出當輸入。

- 40.如申請專利範圍第38項所述的時脈控制電路，其中上述時序差分割電路，包括：
 邏輯反或電路，將第1、第2之輸入信號當輸入；以及
 反相器，輸入了為上述邏輯反或電路之輸出之內部節點電位；
 串列連接在上述內部節點和接地間之開關元件和電容，以複數條互相地被並列連接；
 而在連接至上述開關元件之控制端子之週期控制信號上，來決定附加在上述內部節點之電容量。
- 41.如申請專利範圍第38項所述的時脈控制電路，其中上述時序差分割電路，包括：
 邏輯電路，將第1、第2輸入信號當作輸入，而輸出上述第1以及第2輸入信號之既定之邏輯運算結果；
 第1開關元件，被連接第1電源和內部節點之間，而輸入上述邏輯電路之輸出信號至控制端子；
 緩衝器電路，輸入端被連接至上述內部節點上，在上述內部節點之電位和臨界值之大小關係反相的情況下，使輸出邏輯值反相；
 第2開關元件，被串列連接至上述內部節點和第2電源之間，以第1定電流源來驅動、以及上述第1輸入信號來控制開關動作；以及
 第3開關元件，被串列連接至上述內部節點和第2電源之間，以第2定電流源來驅動、以及上述第2輸入信號來控制開關動作；
 又在上述內部節點和上述第2電源之間，由第4開關元件和電容而成的串列電路，複數個地被互相並列連接，並根據被供給至上述第4開關元件之控制端子的週期控制信號，來決定附加在上述內部節點之電容

- 量。
- 42.如申請專利範圍第30、31、32或33項所述的時脈控制電路，其中上述相位調整用插補器，包括：
 5. 邏輯電路，將第1、第2輸入信號當作輸入，而輸出上述第1以及第2輸入信號之既定之邏輯運算結果；
 10. 第1開關元件，被連接第1電源和內部節點之間，而輸入上述邏輯電路之輸出信號至控制端子；以及
 緩衝器電路，輸入端被連接至上述內部節點上，在上述內部節點之電位和臨界值之大小關係反相的情況下，使輸出邏輯值反相；
 15. 在上述內部節點和第2電源之間，以第1定電流源、以及上述第1輸入信號來控制開關動作之第2開關元件，和來自上述控制電路之控制信號來控制開關動作之第3開關元件而成的串列電路，複數個地被互相並列連接；
 20. 在上述內部節點和上述第2電源之間，以第2定電流源、以及上述第2輸入信號來控制開關動作之第4開關元件，和來自上述控制電路之控制信號來控制開關動作之第5開關元件而成的串列電路，複數個地被互相並列連接；
 25. 在上述內部節點和上述第2電源之間，第6開關元件和電容而成的串列電路，複數個地被互相並列連接，並在被連接至上述第6開關元件之週期控制信號上，來決定附加在上述內部節點之電容量。
30. 35. 43.一種時脈控制電路，包括：
 第1至第3插補器，將2個信號當作輸入，而輸出將這些信號之相位差內分後之信號；
 其特徵在於：
 40. 在上述第1插補器上，資料信號被共

- 通輸入，而將上述資料信號延遲來輸出；
 在上述第2插補器上，輸入所輸入之時脈信號，而輸出將時脈脈衝之前緣(leading edge)和後緣(Trailing edge)之時序差內分後之時脈信號；
 在上述第3插補器上，輸出上述時脈信號之時脈脈衝後緣(Trailing edge)和下一個時脈脈衝之後緣(leading edge)之時序差內分後之時脈信號；
 並包括將上述第2、第3插補器之輸出多重化而輸出之多重化電路；
 從上述多重化電路所輸出之時脈信號，作為為了鎖存從上述第1插補器上所輸出之資料之鎖存時序時脈，而被供給至鎖存電路。
- 44.一種半導體積體電路裝置，其特徵在於：包括如申請專利範圍第1、2、3、4、5、6、7、8、9、10、11、29、30、31、32或33項所述的時脈控制電路。
- 45.一種半導體積體電路裝置，包括複數巨集區塊，其特徵在於：
 包括具有複數輸出將2個信號間之相位差內分後的信號之電路，而產生由輸入時脈增倍而成之多相時脈而輸出的增倍用插補器；
 並在各自巨集區塊上，包括：
 開關，將從上述增倍用插補器所輸出之多相時脈當作輸入，而輸出其中至少2個時脈；以及
 相位調整用插補器，將上述開關之輸出當作輸入，而輸出將上述輸出之相位內分後之信號；
 並包括可變地控制在上述開關之時脈之切換、以及上述相位調整用插補器之內分比之控制電路。
- 46.如申請專利範圍第4、5或6項所述的時脈控制電路，其中上述時序差分割電路包括：

- 邏輯電路，將第1、第2之輸入信號當輸入，而輸出上述第1、第2之輸入信號之既定的邏輯運算結果；
 N通道MOS電晶體，被連接至第1電源和內部節點之間，而輸入上述邏輯電路之輸出信號至其閘極；
 緩衝器電路，輸入端被連接至上述內部節點，而在上述內部節點之電位和臨界值之大小關係反相的情況下，使其輸出邏輯值反相；
 P通道MOS電晶體，在上述內部節點和接地之間，將上述第1輸入信號之反相信號當作閘極輸入，而以定電流來驅動之；以及
 P通道MOS電晶體，在上述內部節點和接地之間，將上述第2輸入信號之反相信號當作閘極輸入，而以定電流來驅動之；
 又在上述內部節點和接地之間，被串列連接之開關元件和電容，以複數條互相地被並列連接，而在上述開關元件之控制端子上所供給之週期控制信號上，來決定附加在上述內部節點之電容量。
20. 47.如申請專利範圍第1、2或3項所述的時脈控制電路，其中上述相位調整用插補器，包括：
 邏輯或(OR)電路，將第1、第2輸入信號當作輸入；
 N通道MOS電晶體，被連接電源和內部節點之間，而輸入上述邏輯或電路之輸出信號至閘極；以及
 緩衝器電路，輸入端被連接至上述內部節點上，在上述內部節點之電位和臨界值之大小關係反相的情況下，使輸出邏輯值反相；
 在上述內部節點和接地之間，將上述第1輸入信號當作閘極輸入，而以定電流源來驅動之P通道MOS電晶體，和來自上述控制電路之控制信
30. 35. 40.

號來控制開關動作之開關元件而成的串列電路，複數個地被互相並列連接；

在上述內部節點和接地之間，將上述第2輸入信號當作閘極輸入，而以定電流源來驅動之P通道MOS電晶體，和來自上述控制電路之控制信號來控制開關動作之開關元件而成的串列電路，複數個地被互相並列連接；

又在上述內部節點和接地之間，開關元件和電容而成的串列電路，複數個地被互相並列連接，並在被連接至上述開關元件之控制端子上之週期控制信號上，來決定附加在上述內部節點之電容量。

48.如申請專利範圍第1、2或3項所述的時脈控制電路，其中上述相位調整用插補器，包括：

邏輯反和(NAND)電路，將第1、第2輸入信號當作輸入；
N通道MOS電晶體，被連接第1電源和內部節點之間，而輸入上述邏輯反和電路之輸出信號至閘極；以及緩衝器電路，輸入端被連接至上述內部節點上，在上述內部節點之電位和臨界值之大小關係反相的情況下，使輸出邏輯值反相；

在上述內部節點和接地之間，將以第1反相電路把上述第1輸入信號反相後之信號當作閘極輸入，而以定電流源來驅動之P通道MOS電晶體，和來自上述控制電路之控制信號來控制開關動作之開關元件而成的串列電路，複數個地被互相並列連接；

在上述內部節點和接地之間，將以第2反相電路把上述第2輸入信號反相後之信號當作閘極輸入，而以定電流源來驅動之P通道MOS電晶

體，和來自上述控制電路之控制信號來控制開關動作之開關元件而成的串列電路，複數個地被互相並列連接；

5. 又在上述內部節點和接地之間，開關元件和電容而成的串列電路，複數個地被互相並列連接，並在被連接至上述開關元件之控制端子上之週期控制信號上，來決定附加在上述內部節點之電容量。

圖式簡單說明：

第1圖係表示本發明之一個實施例之構造圖。

15. 第2圖係表示本發明之其他實施例之構造圖。

第3圖係表示本發明之其他實施例之構造圖。

第4圖係表示在本發明之一個實施例的增倍用插補器之構造圖。

20. 第5圖係表示在本發明之一個實施例的增倍用插補器之構造圖。

第6A圖~第6C圖係表示在本發明之一個實施例的4相時脈增倍電路之構造圖。

25. 第7圖係表示在第6圖所示的本發明之一個實施例的4相時脈增倍電路之時序波形圖。

第8A圖~第8B圖係表示在第6圖所示的本發明之一個實施例的4相時脈增倍電路之時序差分割電路之構造圖。

30. 第9圖係表示在第8圖所示的時序差分割電路之時序波形圖。

第10圖表示在第6圖所示的本發明之一個實施例的4相時脈增倍電路之時序差分割電路之其他構造圖。

第11圖係表示本發明之一個實施例的相位調整用插補器之構造之一個例子之圖。

40. 第12圖係表示本發明之一個實施

例的相位調整用插補器之構造之一個例子之圖。

第13A圖~第13B圖係為了說明本發明之實施例的作用效果之圖，並模式地來表示使用增倍用插補器之情況、和習知技術之構造的抖動出現方式之圖。

第14圖係表示本發明之一個實施例的插補器之輸出時序波形之模擬結果之一個例子之圖。

第15圖係表示本發明之第3實施例之構造圖。

第16圖係表示本發明之第3實施例的開關和插補器之構造圖。

第17圖係表示本發明之一個實施例的16刻度插補器之佈局之一個例子之圖。

第18圖係表示本發明之第4實施例之構造圖。

第19圖係表示本發明之第5實施例之構造圖。

第20圖係表示本發明之第6實施例之構造圖。

5. 第21圖係表示本發明之第6實施例之時序動作圖。

第22A圖~第22B圖係為了說明本發明之第7實施例之圖。

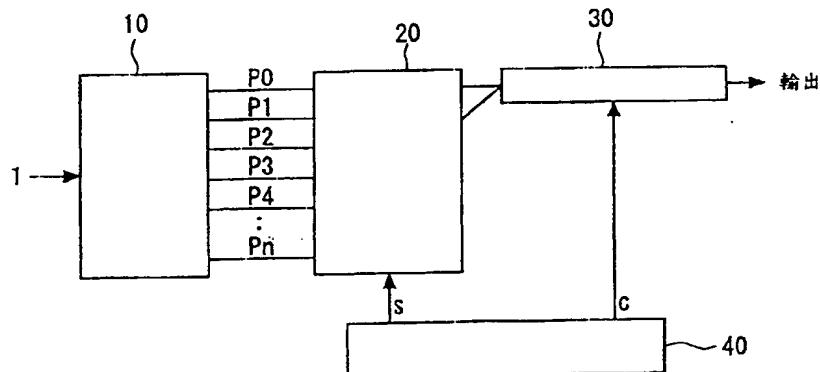
10. 第23圖係為了說明本發明之第8實施例之圖。

第24圖係表示本發明之第8實施例之構造圖。

第25圖係表示習知之時脈控制電路之構造之一個例子之圖。

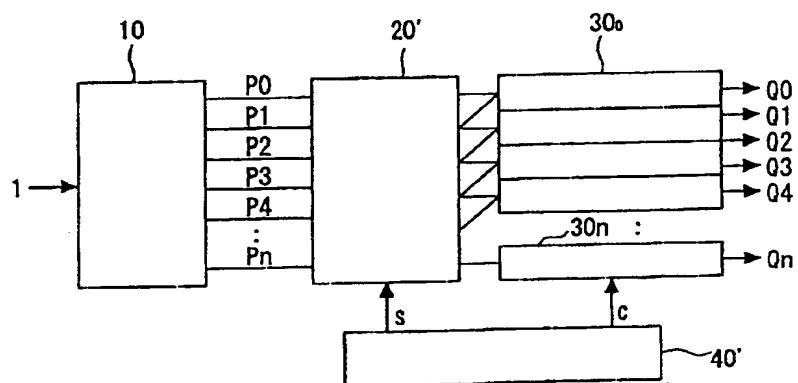
15. 第26圖係表示習知之時脈控制電路之構造之其他例子之圖。

第27圖係表示習知之時脈控制電路之構造之另一例子之圖。

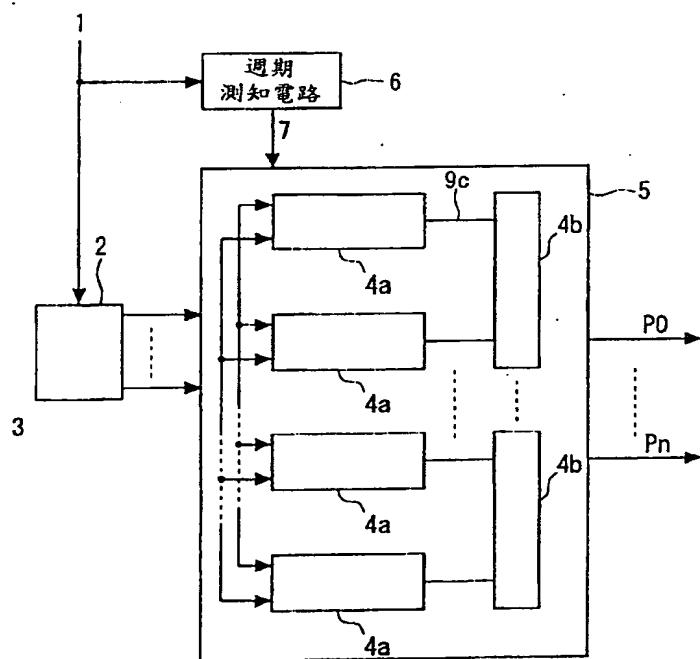


第1圖

(16)

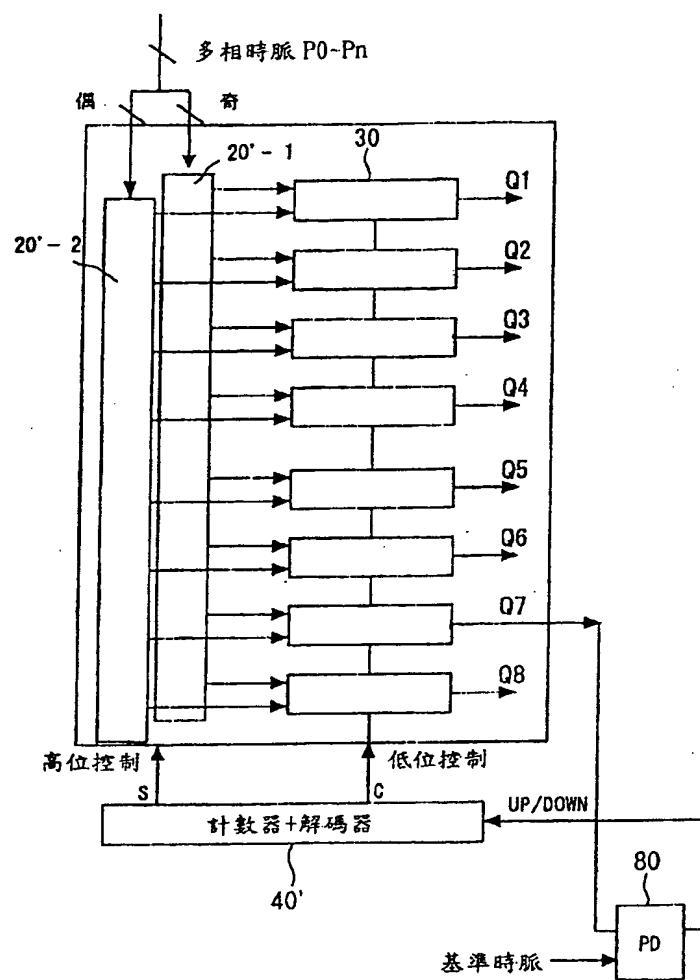


第 2 圖



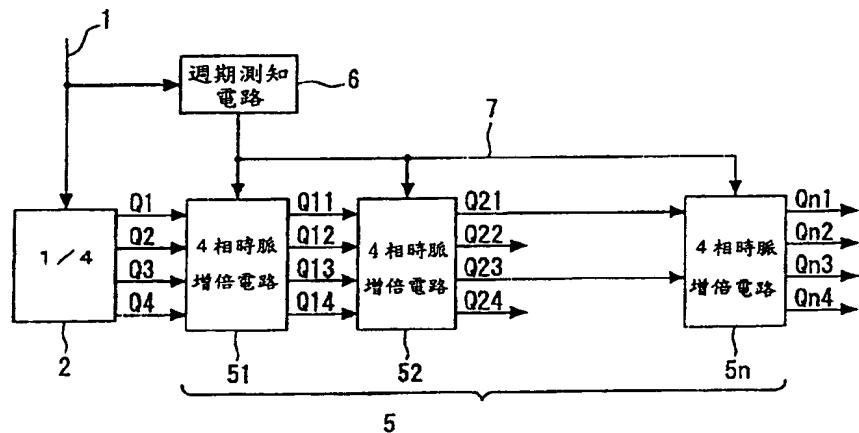
第 4 圖

(17)

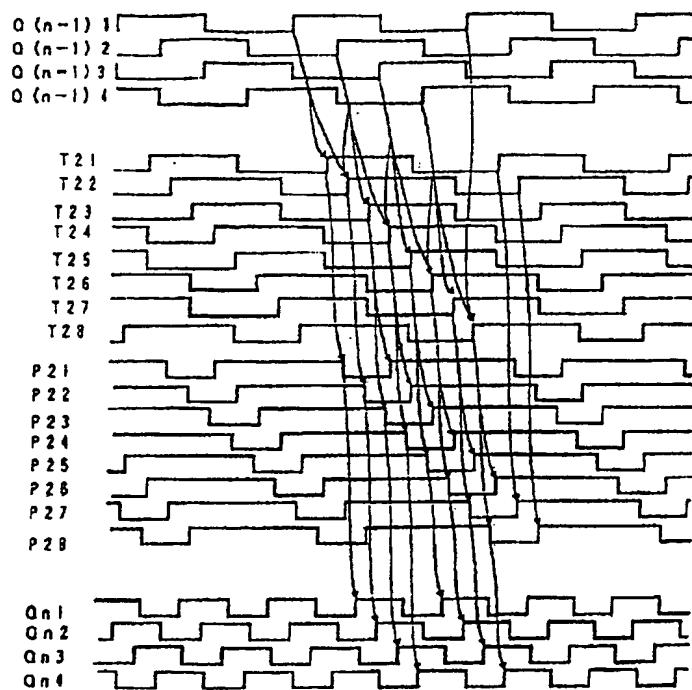


第3圖

(18)

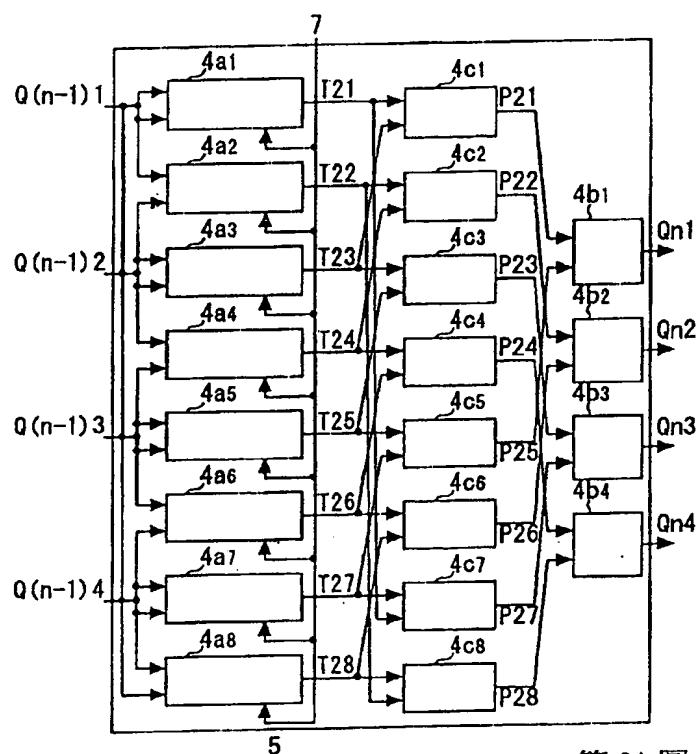


第5圖

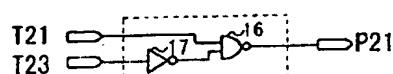


第7圖

(19)

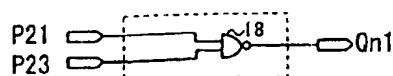


第 6A 圖



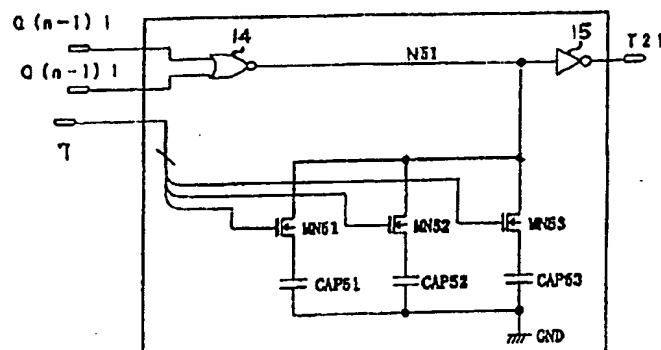
第 6B 圖

脈衝寬度修正電路



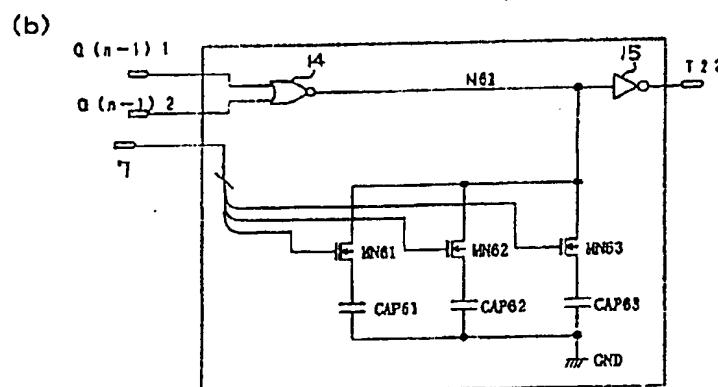
第 6C 圖

(20)



時序差分割電路 4a1

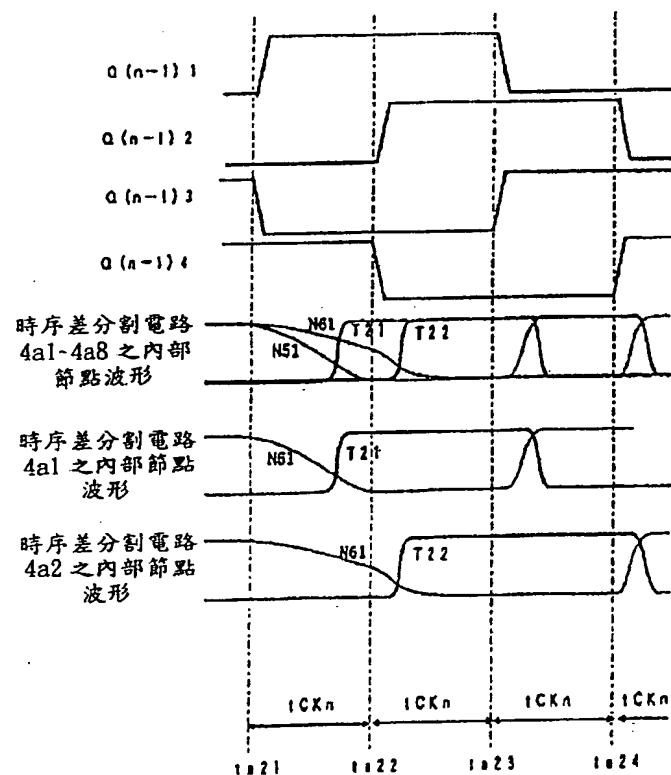
第 8A 圖



時序差分割電路 4a2

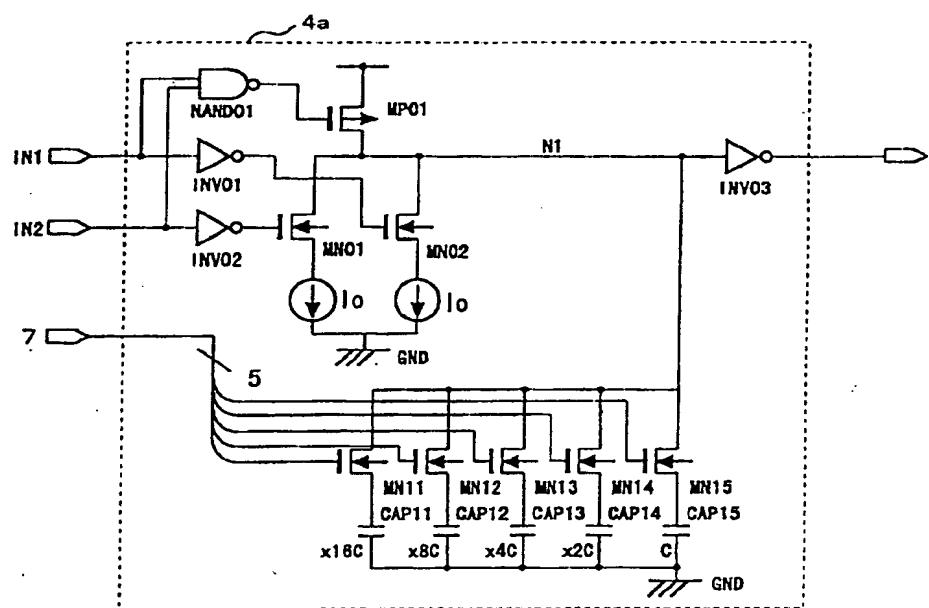
第 8B 圖

(21)



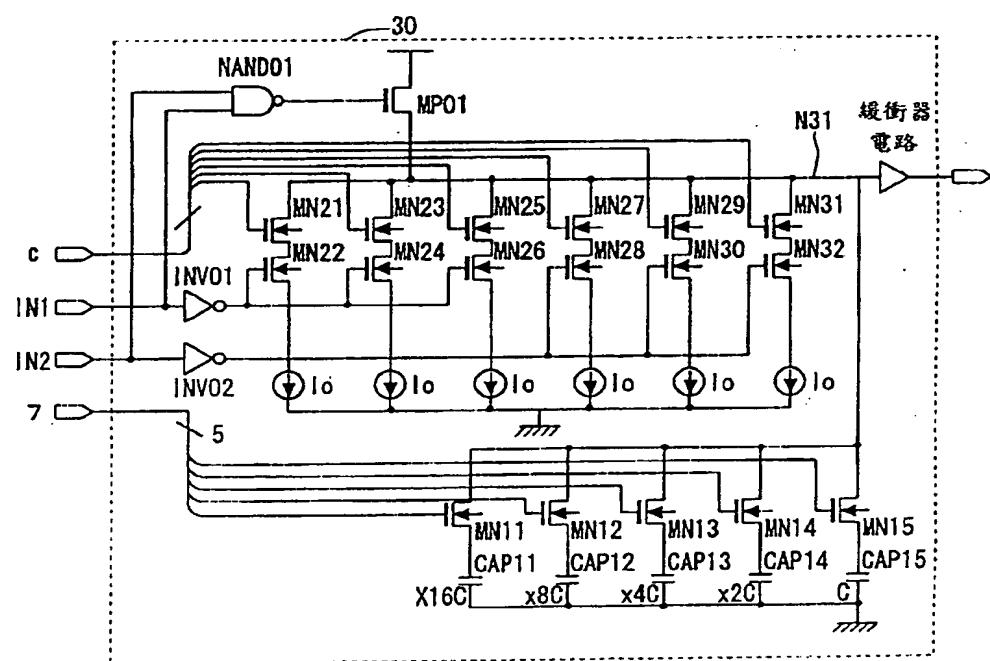
第 9 圖

(22)



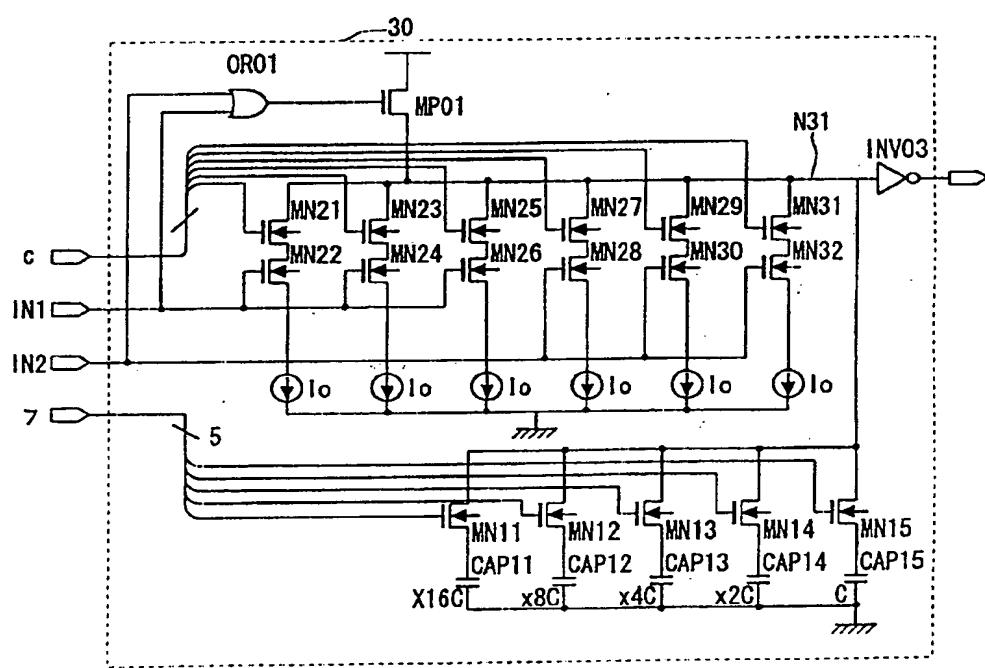
第 10 圖

(23)



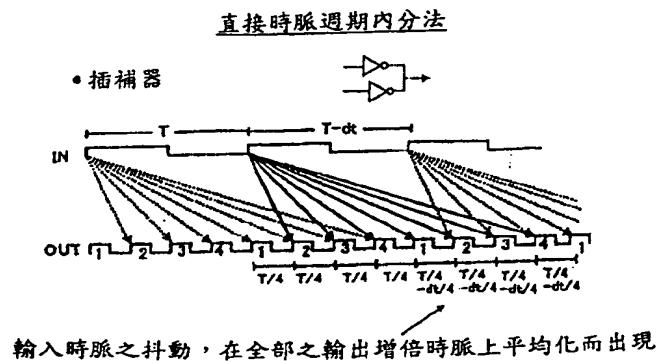
第 11 圖

(24)

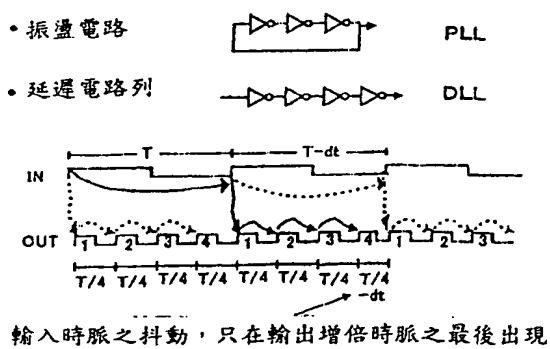


第 12 圖

(25)

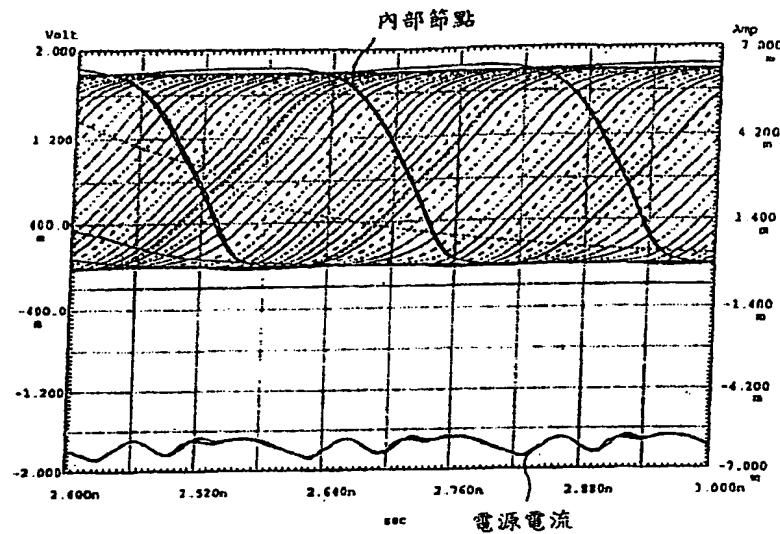


第 13A 圖

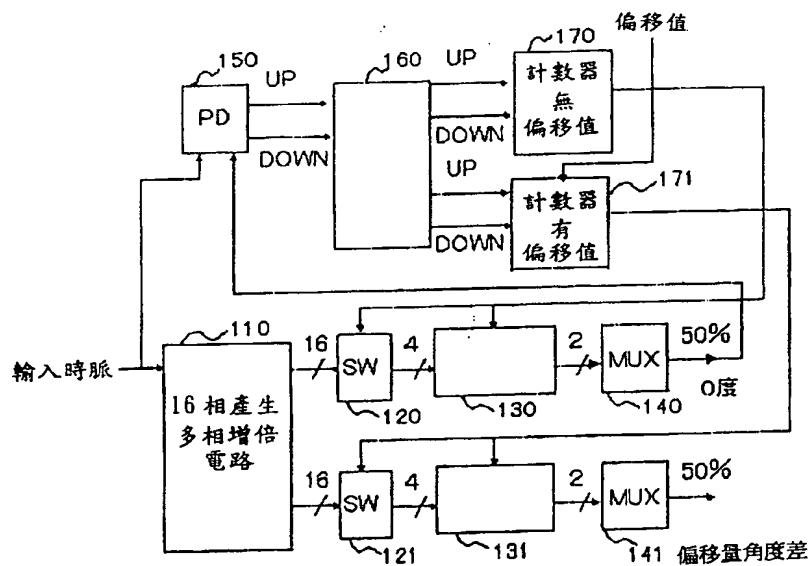


第 13B 圖

(26)

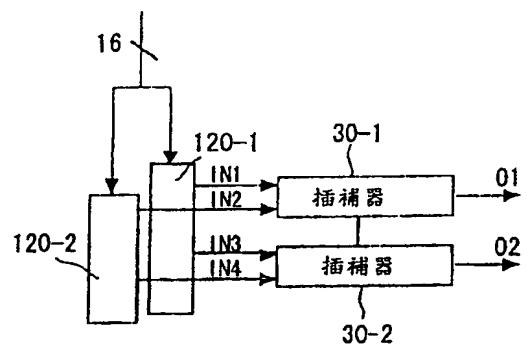


第 14 圖

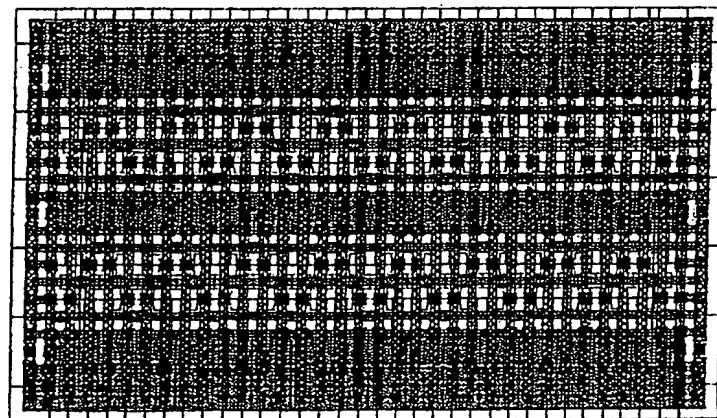


第 15 圖

(27)

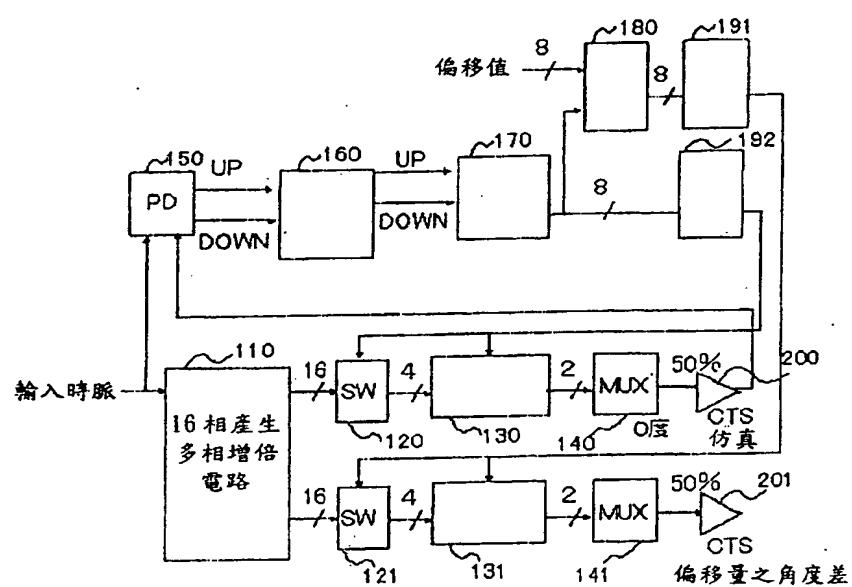


第 16 圖



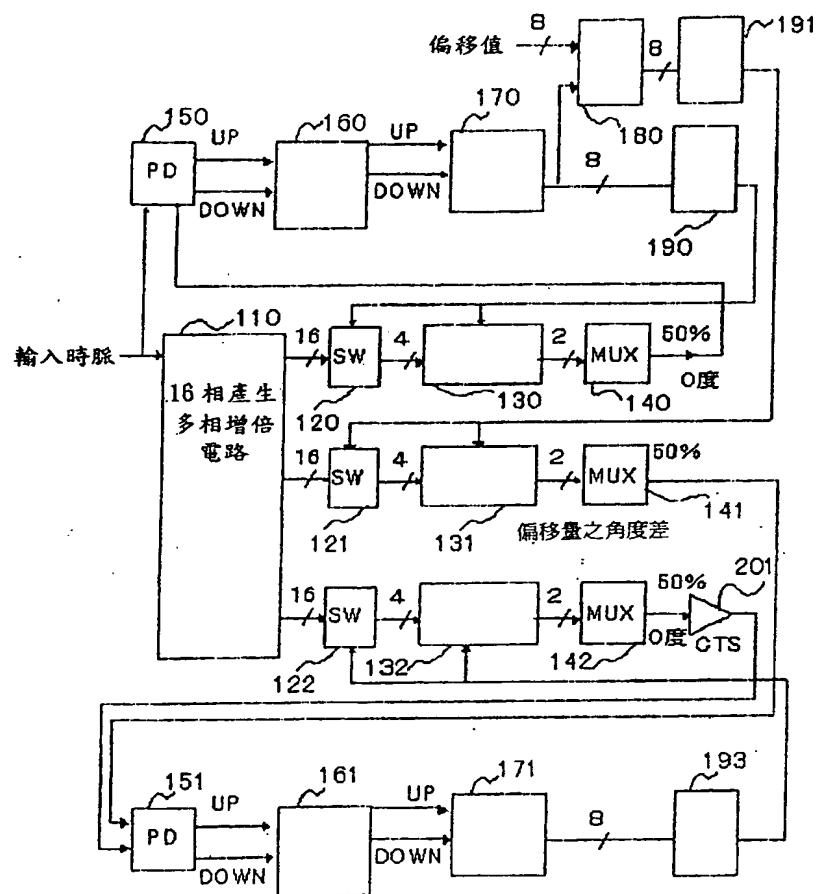
第 17 圖

(28)

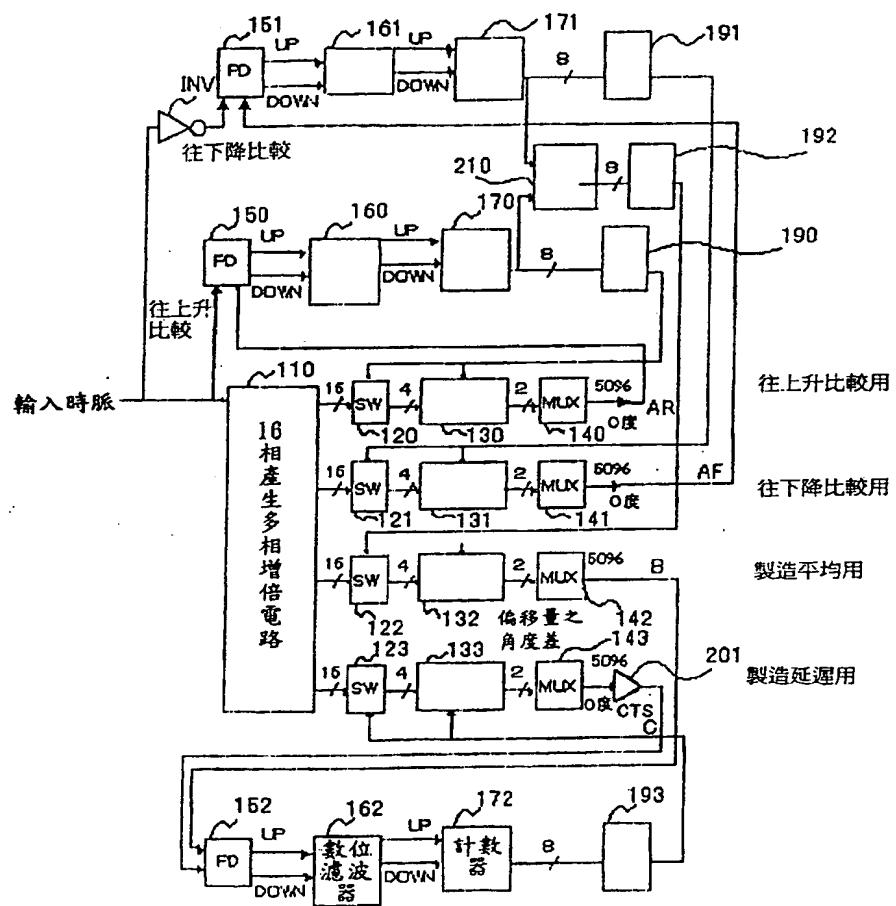


第 18 圖

(29)

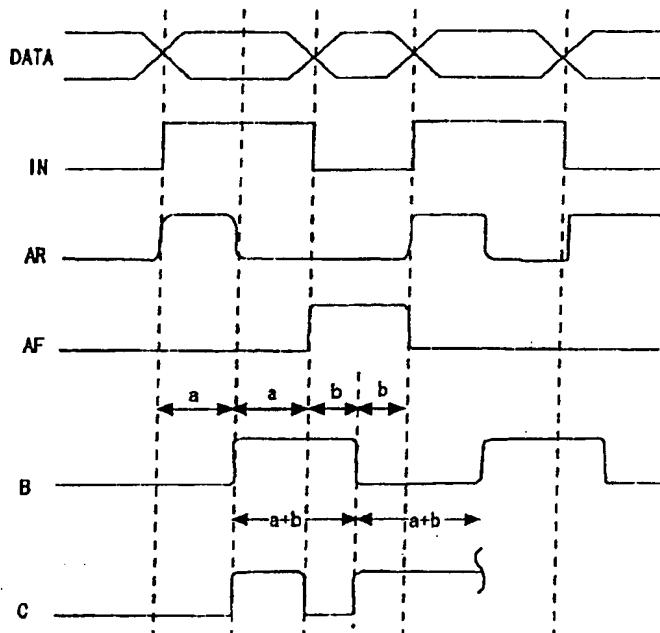


第 19 圖

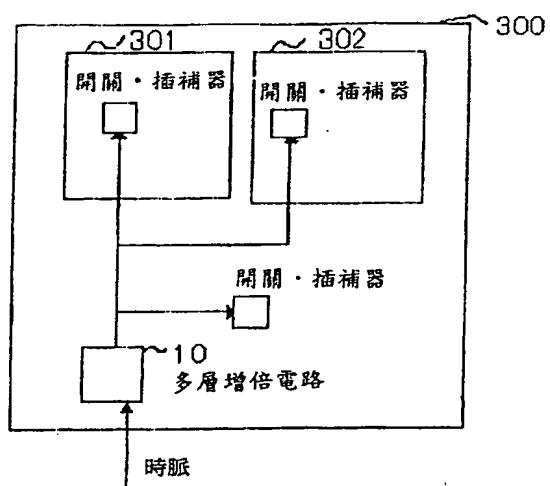


第 20 圖

(31)

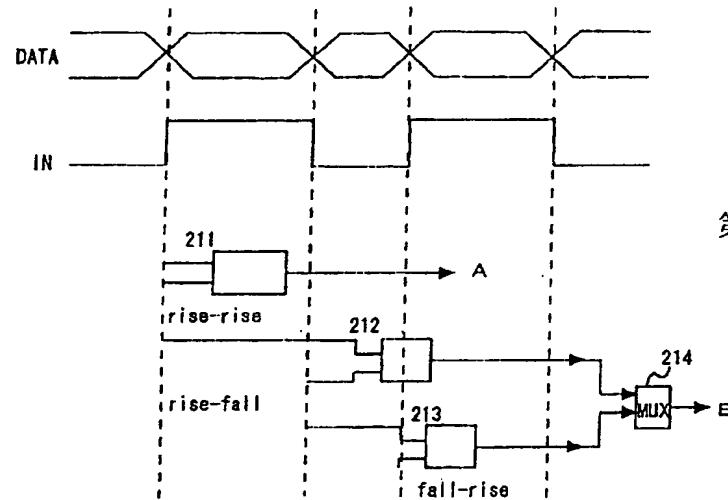


第 21 圖

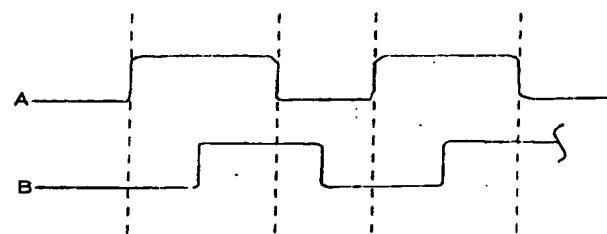


第 23 圖

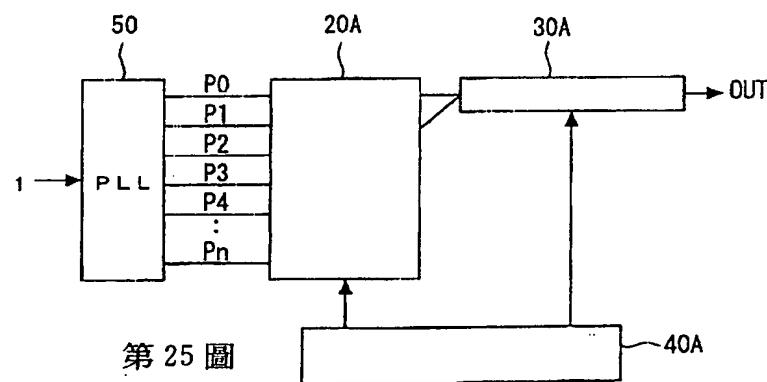
(32)



第 22A 圖

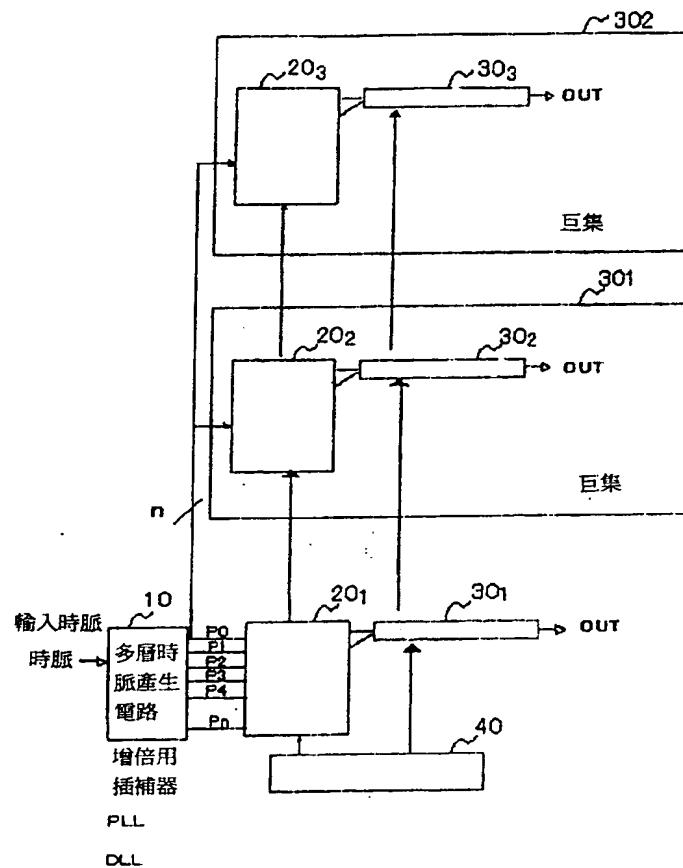


第 22B 圖



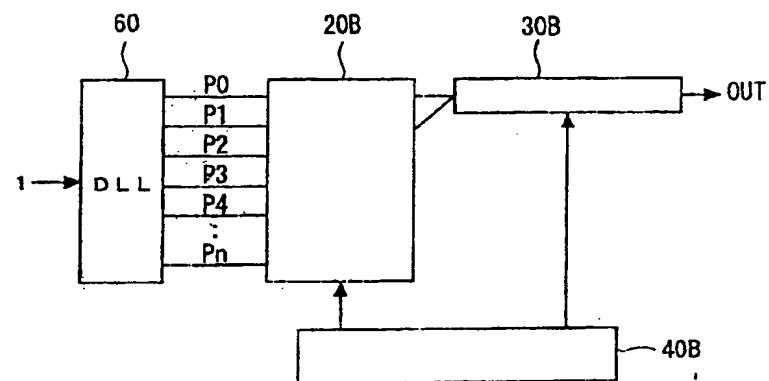
第 25 圖

(33)

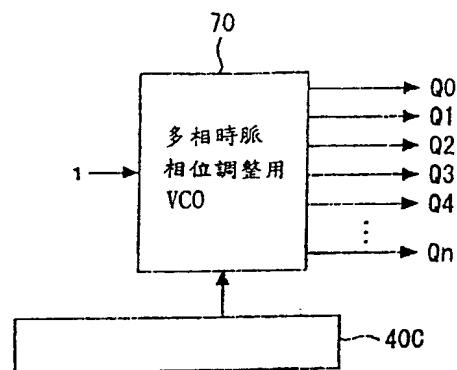


第 24 圖

(34)



第 26 圖



第 27 圖